De2009 3/101

(19)日本国特許庁（ＪＰ）　(12) 公開特許公報（Ａ）　(11)特許出願公開番号

特開平7－79218

(43)公開日　平成７年(1995)３月20日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０４Ｌ　7/08	Ａ	7741－5Ｋ		
12/28				
		8732－5Ｋ	Ｈ０４Ｌ　11/ 20	Ｄ

審査請求　未請求　請求項の数１　ＯＬ　（全７頁）

(21)出願番号　特願平5－222928

(22)出願日　平成５年(1993)９月８日

(71)出願人　000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地

(72)発明者　本山　雅彦
神奈川県川崎市幸区小向東芝町１番地　株式会社東芝研究開発センター内

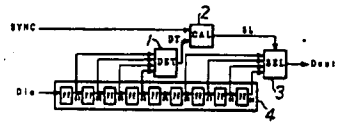
(74)代理人　弁理士　鈴江　武彦

(54)【発明の名称】　フレーム同期装置

(57)【要約】

【目的】　伝送速度の高速化に対応でき、配線の調整の手間の入らないフレーム同期装置を提供することを目的とするものである。

【構成】　伝送路中を送信されてきたフレーム同期パターンが付加されている情報データを記憶する記憶手段と、この記憶手段に記憶された情報データからこのフレーム同期パターンを検出するフレーム同期パターン検出手段と、伝送路中を送信されてきたフレーム同期信号と同期パターンとの位相差を求める位相差演算手段と、この位相差演算手段の演算結果に基づいて、記憶手段から情報データを選択する選択手段とを備えたことを特徴とする。



【特許請求の範囲】

【請求項１】　伝送路中を送信されてきたフレーム同期パターンが付加されている情報データを記憶する記憶手段と、

この記憶手段に記憶された前記情報データからこのフレーム同期パターンを検出するフレーム同期パターン検出手段と、

外部から入力されたフレーム同期信号と前記同期パターンとの位相差を求める位相差演算手段と、

この位相差演算手段の演算結果に基づいて、前記記憶手段から情報データを選択する選択手段とを備えたことを特徴とするフレーム同期装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、固定長の同期パターン情報が付与されたパケット情報のフレーム同期をとるためのフレーム同期装置に関する。

【０００２】

【従来の技術】図１１は、ＡＴＭセルのような固定長のフレームを装置間で転送する場合のフレーム同期方式を表す図である。送信装置および受信装置は、共通のフレーム同期信号に同期して動作する。送信装置と受信装置の間で、フレーム同期を取るためには、送信装置から受信装置までの伝送遅延を考慮して受信回路に入力するフレーム同期信号を遅延させなければならない。

【０００３】また、図に示されるように、送信[illegible]に複数の送信装置からの信号が入力される場合は、各送信装置と受信装置との間の遅延時間を同[illegible]ために、可変遅延回路を用いる必要がある。

【０００４】この方式では、フレーム同[illegible]をとるために遅延量の調整を行う必要があり、手間がかかるという問題があった。また、別のフレーム同期方式に、遅延時間を考慮して、あらかじめ基板上の配線長を計算し、図１２のように装置間のデータ信号線および同期信号線の配線長を調整しておく方式がある。

【０００５】送信装置１に入力されるフレーム同期信号と送信装置２に入力されるフレーム同期信号との位相を同じにし、受信装置に入力されるフレーム同期信号は、送信装置から受信装置までのデータの遅延時間を加えた位相にあうようにする。

【０００６】また、送信装置１から受信装置までの伝送路と送信装置２から受信装置までの伝送路を等長化しておく必要がある。この方式では、装置を組み立てた後での位相の調整が困難であり、伝送速度の高速化に伴い設計パターン上の等長化の困難さが増大するという問題点がある。

【０００７】また、別のフレーム同期方式に、図１３に示した方式がある。この方式は、データと同期信号を一緒に転送する方式である。この方式では、送信装置は、データと一緒にフレーム同期信号を送信する。データとフレーム同期信号の配線長は、同じにしておく必要がある。

【０００８】受信装置では、送信装置から送られたデータを、受信装置に入力されたフレーム同期信号の位相に合わせてデータのフレーム同期を行う。この同期方式では、データと一緒にフレーム同期信号を送信するので、配線数が増大するという問題がある。また、データとフレーム同期信号の配線長を等長化しなければならないという問題もある。

【０００９】

【発明が解決しようとする課題】従来のフレーム同期方式は、配線長を等長化するか、あるいは、データの位相を調整しなければならず、伝送速度の高速化への対応が難しくなったり、調整の手間がかかるという問題点があった。

【００１０】本発明は、従来の課題に鑑みてなされたもので、伝送速度の高速化に対応でき配線の調整の手間の入らないフレーム同期装置を提供することを目的とするものである。

【００１１】

【課題を解決するための手段】上記目的を達成するため[illegible]本発明[illegible]伝送路中を送信されてきたフレーム同期パターンが付加されている情報データを記憶する記憶手段と、この記憶手段に記憶された情報データからこのフレーム同期パターンを検出するフレーム同期パターン検出手段と、伝送路中を送信されてきたフレーム同期信号と同期パターンとの位相差を求める位相差演算手段と、この位相差演算手段の演算結果に基づいて、記憶手段から情報データを選択する選択手段とを備えたことを特徴とするものである。

【００１２】

【作用】本発明を用いれば、記憶手段に記憶された情報データからフレーム同期パターンをフレーム同期パターン検出手段が検出して、伝送路中を伝送されてきたフレーム同期信号との位相差を求めることで配線の等長化、データ位相の調整を行わずにフレーム同期を行うことが可能となる。

【００１３】

【実施例】以下、図面を用いて本発明の一実施例を説明する。

（実施例１）図１は、本発明の一実施例を示す図である。このフレーム同期回路は、シフトレジスタと、同期パターン検出回路（ＤＥＴ）１と、同期信号と同期パターン検出回路（ＤＥＴ）１で検出された同期信号との位相差を計算する位相差計算回路（ＣＡＬ）２と、位相差計算回路（ＣＡＬ）２の計算結果によりシフトレジスタ内のデータからフレームの先頭を選択する選択回路（ＳＥＬ）３とで構成されている。

【００１４】装置に入力されたデータは、シフトレジスタに入力される。同期パターン検出回路（ＤＥＴ）１

は、シフトレジスタ４内に記憶されているデータの中に同期パターンと同じデータ列があるかどうかを検出する。シフトレジスタ４内に同期パターンと同じデータ列があった場合は、位相差計算回路（ＣＡＬ）２に同期パターンが検出されたことを通知する。

【００１５】位相差計算回路（ＣＡＬ）２では、データとは別に入力されたフレーム同期信号と、同期パターン検出回路（ＤＥＴ）１から得られたフレームとの位相差を計算する。

【００１６】計算された位相差からどのデータを選択するかを選択回路（ＳＥＬ）３に通知する。この装置の動作を図２を用いて説明する。

【００１７】この図は、同期パターンに４ビットを使用した場合のタイミング図である。同期パターンには、同期が４であるものを使用すれば良い。例えば“１０００”のように先頭の１ビットと残りのビットが異なるものや、“１１００”のように、真ん中でデータが変化するものなどが利用できる。

【００１８】ｎビットの同期パターンを使用した場合は、同期がｎであるパターンを使用する。ＳＹＮＣは、装置に入力される同期信号、Ｄｉｎ（０）は、同期信号とデータの位相が一致した場合のデータ入力、Ｄｉｎ（－１）は、データの位相が同期信号の位相より１ビット遅い場合のデータ入力、Ｄｉｎ（＋１）は、データの位相が同期信号の位相より１ビット遅い場合のデータ入力、Ｄｉｎ（＋２）は、データの位相が同期信号の位相より２ビット遅い場合のデータ入力、ＤＴは、同期パターン検出回路（ＤＥＴ）１の出力信号、ＳＥＬは、位相差計算回路（ＣＡＬ）２の出力信号、Ｄｏｕｔは、データ出力である。

【００１９】最初にデータと同期信号の位相差が無い場合、すなわち、Ｄｉｎ（０）の場合について説明する。Ｄｉｎ（０）は、同期信号とデータの位相が一致した場合であり、このとき、同期パターン検出回路（ＤＥＴ）１の出力は、ＤＴ（０）のようになる。位相差計算回路（ＣＡＬ）２は、同期信号が立ち上がってから同期パターン検出回路（ＤＥＴ）１の検出信号が到着するまでの時間を計測する。この場合は、５である。計測した結果を元にデータの先頭が記憶されているレジスタの出力を選択するように選択回路（ＳＥＬ）３に指示を出す。この場合は、Ｄ８の出力が選択される。選択を指示する信号は、次のフレームの先頭が来るまで保持される。

【００２０】次に、データの位相が同期信号の位相より１ビット遅い場合、すなわちＤｉｎ（－１）の場合について説明する。Ｄｉｎ（－１）は、データの位相が同期信号の位相より１ビット遅い場合であり、このとき、同期パターン検出回路（ＤＥＴ）１の出力は、ＤＴ（－１）のようになる。位相差計算回路（ＣＡＬ）２は、同期信号が立ち上がってから同期パターン検出回路（ＤＥＴ）１の検出信号が到着するまでの時間を計測する。この場合は、４である。計測した結果を元にデータの先頭が記憶されているレジスタの出力を選択するように選択回路（ＳＥＬ）３に指示を出す。この場合は、Ｄ９の出力が選択される。選択を指示する信号は、次のフレームの先頭が来るまで保持される。

【００２１】同様に、Ｄｉｎ（＋１）の場合は、Ｄ７の出力が選択され、Ｄｉｎ（＋２）の場合は、Ｄ６の出力が選択される。位相差計算回路（ＣＡＬ）２の例を図３に示す。この位相差計算回路（ＣＡＬ）２は、同期信号の立ち上がりを検出回路５と、カウンタ６と２つのレジスタ８，９とで構成されている。

【００２２】同期信号の立ち上がりを検出する回路（ＥＤＧＥ）５は、同期信号の立ち上がりを検出してパルスを発生する。カウンタ６は、立ち上がり検出回路５の発生するパルス信号でリセットされる。レジスタ（ＲＥＧ１）８は、同期パターン検出信号によってカウンタ６の値をロードする。この値がデータと同期信号の位相差になる。レジスタ（ＲＥＧ２）９は、カウンタ６の生成する値をエンコーダ１０のエンコードしたものによってレジスタ（ＲＥＧ１）８の値をロードする。このレジスタ（ＲＥＧ２）９の値を選択回路（ＳＥＬ）３に送られる。レジスタ（ＲＥＧ２）９とエンコーダ１０の配置は逆にしてもよい。

【００２３】以上のように、本発明の位相同期回路を用いると、ｎビットの同期パターンを付与すれば、ｎビットまでの位相ズレを自動的に修正することが可能となる。したがって、配線の長さを正確に等長化したり、位相差を調整したりする必要がなくなる。

（実施例２）図４に第二の実施例の構成を示す。

【００２４】この実施例は、シフトレジスタ１７と複数の同期パターン検出回路（ＤＥＴ）１１，１２，１３，１４と位相差計算回路（ＣＡＬ）１５と選択回路（ＳＥＬ）１６で構成されている。

【００２５】この図は、同期パターンに４ビットを使用した場合の構成を示す図である。また、この例の同期回路は、データが同期信号から０～３ビット遅れている場合の位相差を調整する事ができる。

【００２６】この例の同期回路は、８ビットのシフトレジスタと４個の同期パターン検出回路（ＤＥＴ）１１，１２，１３，１４と位相差計算回路（ＣＡＬ）１５と選択回路（ＳＥＬ）１６で構成されている。

【００２７】この装置の位相差計算回路（ＣＡＬ）１５の構成を図６に示す。この位相差計算回路（ＣＡＬ）１５は、同期信号の立ち上がり検出回路（ＤＥＴ）１８と、同期信号の立ち上がりでリセットされるカウンタ１９と、同期パターン検出回路（ＤＥＴ）の出力を記憶するレジスタとで構成されている。

【００２８】立ち上がり検出回路（ＤＥＴ）１８は同期信号の立ち上がりを検出してパルスを発生する。カウンタは、立ち上がり信号で発生されたパルスによってリセットされる。すなわち、同期信号の立ち上がりでリセットされる。レジスタは、カウンタによって生成されるロード信号により、同期パターン検出回路（ＤＥＴ）の値を記憶する。レジスタに記憶された値は、データの位相情報を示している。レジスタの値をエンコードすることにより選択回路（ＳＥＬ）の指示信号を生成することができる。エンコーダとレジスタの配置順序は逆でも構わない。

【００２９】このときの動作を図５のタイミング図を用いて説明する。このタイミング図は、データと同期信号の位相差が一致している場合の動作を示している。

【００３０】この場合の位相差検出回路（ＤＥＴ）の出力は、ＤＴ１＝０，ＤＴ２＝０，ＤＴ３＝０，ＤＴ４＝１となる。したがって、同期信号とデータの位相差がない場合、位相差計算回路（ＣＡＬ）のレジスタの値は、“０００１”となる。この場合、Ｄ８の信号を選択する指示を選択回路（ＳＥＬ）に送る。

【００３１】データが同期信号より１ビット送れている場合、位相差計算回路（ＣＡＬ）のレジスタの値は、“００１０”となる。この場合、Ｄ７の信号を選択する指示を選択回路（ＳＥＬ）に送る。

【００３２】データが同期信号より２ビット遅れている場合、位相差計算回路（ＣＡＬ）のレジスタの値は、“０１００”となる。この場合、Ｄ６の信号を選択する指示を選択回路（ＳＥＬ）に送る。

【００３３】データが同期信号より３ビット遅れている場合、位相差計算回路（ＣＡＬ）のレジスタの値は、“１０００”となる。この場合、Ｄ５の信号を選択する指示を選択回路（ＳＥＬ）に送る。

【００３４】また、図７に示すようなシリアル入力パラレル出力の構成も実現できる。この例の同期回路は、８ビットのシフトレジスタと４個の同期パターン検出回路（ＤＥＴ）と位相差計算回路（ＣＡＬ）と４個の選択回路（ＳＥＬ）で構成されている。この場合、同期調整用のシフトレジスタをシリアルパラレル変換器と共用する事が可能である。パラレルに展開された情報が必要な場合は、このような構成を用いることで、同期回路にシリアルパラレル変換器を付与した場合に比べ、ハードウェア規模を小さくすることができる。

【００３５】以上のように、ｎビットの同期パターンを付与すれば、ｎビットまでの位相ズレを自動的に修正することが可能となる。したがって、配線の長さを正確に等長化したり、位相差を調整したりする必要が不要となる。

（実施例３）図８に第三の実施例の構成を示す。この図では、説明のためにパラレル度は４としてある。この実施例は、シリアルーパラレル変換器（ＳＰ）と複数のシフトレジスタ（ＳＲ）と同期パターン検出回路（ＤＥＴ）と選択回路（ＳＥＬ）と位相差計算回路（ＣＡＬ）とで構成されている。

【００３６】図１０は、第三の実施例の詳細な構成を示す図である。この装置に入力されたデータは、シリアルパラレル変換部（ＳＰ）においてパラレルデータに変換される。図の例では、４ビットのパラレルデータに変換される。

【００３７】パラレルに変換されたデータは、それぞれ、シフトレジスタ（ＳＲ）に入力される。シフトレジスタは、パラレル度と同じ個数用意される。この例では、４つのシフトレジスタが用意されている。

【００３８】このようにフレーム同期を取る前にパラレル展開するとパラレル展開されたデータは図９のように先頭のデータがどのシフトレジスタに入力されるか不定になる。

【００３９】複数のシフトレジスタにまたがる同期パターンを検出するには、図１０に示されているような同期パターン検出回路を用いる必要がある。この同期パターン検出回路は、複数のシフトレジスタにまたがって同期パターンを検出を行う。すなわち、ＤＥＴ１は、ＳＲ１，ＳＲ２，ＳＲ３，ＳＲ４の順に入力された場合の同期パターンを検出し、ＤＥＴ２は、ＳＲ２，ＳＲ３，ＳＲ４，ＳＲ１の順に入力された場合の同期パターンを検出し、ＤＥＴ３は、ＳＲ３，ＳＲ４，ＳＲ１，ＳＲ２の順に入力された場合の同期パターンを検出し、ＤＥＴ４は、ＳＲ４，ＳＲ１，ＳＲ２，ＳＲ３の順に入力された場合の同期パターンを検出する。この例では、同期パターンが“１０００”の場合の検出回路である。

【００４０】検出回路で検出された同期パターンは、位相差計算回路に送られる。位相差計算回路では、入力された同期パターンは、エンコーダによってコーディングされ、レジスタに記憶される。レジスタにロードするタイミングは、フレーム同期信号の立ち上がり情報をもとに生成される。したがって、レジスタに記憶された情報は、データの位相とフレーム同期信号の位相差の情報を含んでいる。

【００４１】このレジスタの値が、選択回路（ＳＥＬ）に送られる。選択回路（ＳＥＬ）も同期パターン検出回路（ＤＥＴ）と同様に複数のシフトレジスタにまたがってデータの選択を行う。このように、することによって、データをパラレルに展開した後でフレーム同期を取ることが可能となる。

【００４２】

【発明の効果】以上詳述してきた様に本発明を用いれば、フレーム同期パターン検出手段により検出されたフレーム同期パターンとフレーム同期信号とを用いて位相差演算手段が位相差を求めてこれに基づき、選択手段が記憶手段に記憶されている情報データの中から選択出力しているので、小規模のハードウェアで、遅延量の調整などを必要としないでフレーム同期を行うことが可能となる。

【図面の簡単な説明】

KOPIE
KOPIE

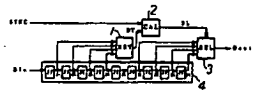
7

【図1】　本発明の第1の実施例を示した図。
【図2】　本発明の第1の実施例の動作を示すタイミングを示した図。
【図3】　本発明の第1の実施例で用いられる位相差計算回路の一構成を示した図。
【図4】　本発明の第2の実施例を示した図。
【図5】　本発明の第2の実施例の動作を示すタイミングを示した図。
【図6】　本発明の第2の実施例で用いられる位相差計算回路の一構成を示した図。
【図7】　本発明の第2の実施例をパラレル出力にした場合の一構成を示した図。
【図8】　本発明の第3の実施例を示した図。
【図9】　本発明の第3の実施例のシリアルーパラレル

8

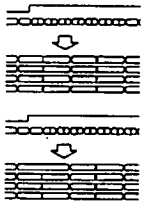
変換器の動作を示した図。
【図10】　本発明の第3の実施例の具体例を示した図。
【図11】　従来例を示した図。
【図12】　従来例を示した図。
【図13】　従来例を示した図。
【符号の説明】
1…DET（同期パターン検出回路）
2…CAL（位相差計算回路）
3…SEL（選択回路）
4，17…シフトレジスタ
5…同期信号の立ち上がりを検出する回路
6…カウンタ
8，9…レジスタ

【図1】

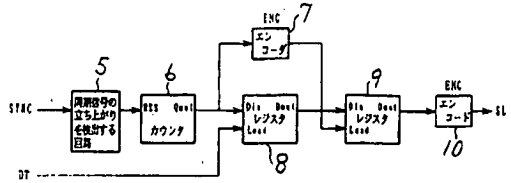


【図2】

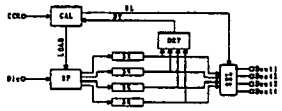
【図9】



【図3】

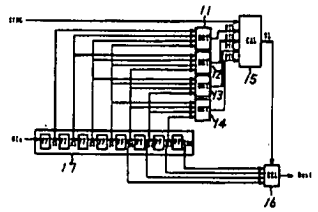


【図8】

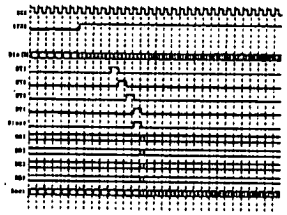


KOPIE

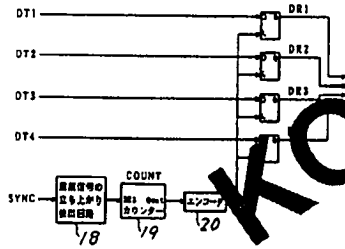
【図4】



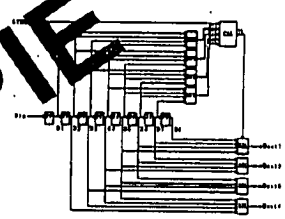
【図5】



【図8】

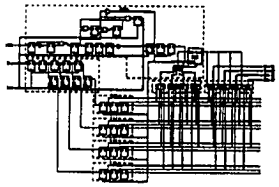


【図7】

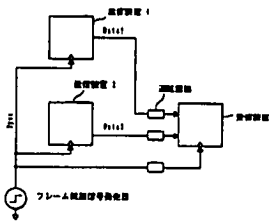


KOPIE

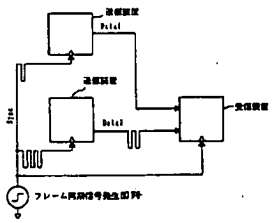
【図10】



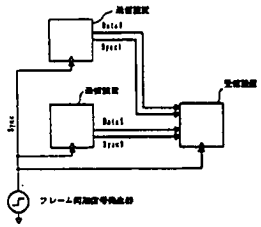
【図11】



【図１２】



【図１３】



KOPIE

PATENT ABSTRACTS OF JAPAN

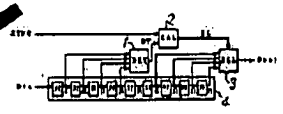
(11)Publication number : 07-079218
(43)Date of publication of application : 20.03.1995

(51)Int.Cl. H04L 7/08
H04L 12/28

(21)Application number : 05-222928 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 08.09.1993 (72)Inventor : MOTOYAMA MASAHIKO

(54) FRAME SYNCHRONIZING DEVICE

(57)Abstract:
PURPOSE: To cope with the acceleration of a transmission speed and to eliminate the need of equalizing the lengths of wires and adjusting data phases by detecting frame synchronizing patterns from stored information data, obtaining a phase difference with transmitted frame synchronizing signals and synchronizing frames.
CONSTITUTION: A synchronizing pattern detection circuit 1 detects the frame synchronizing patterns from the information data stored in the shift register 4 of a storage means. The phase difference of the frame synchronizing pattern and transmitted synchronizing signals SYNC is calculated in a phase difference calculation circuit 2 and the head position of data inside the register 4 is decided by a selector 3. By this constitution, the need of equalizing the length of the wires and adjusting the data phase is eliminated and this frame synchronizing device capable of coping with the acceleration of the transmission speed is obtained.



KOPIE

LEGAL STATUS

[Date of request for examination] 02.02.2000
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number] 3196989
[Date of registration] 08.06.2001
[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

KOPIE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A storage means to memorize the information data with which the frame synchronization pattern to which the inside of a transmission line has been transmitted is added, A frame synchronization pattern detection means to detect this frame synchronization pattern from the aforementioned information data memorized by this storage means, Frame synchronization equipment characterized by having a phase contrast operation means to search for the phase contrast of the frame synchronization signal and the aforementioned synchronous pattern which were inputted from the exterior, and a selection means to choose information data from the aforementioned storage means based on the result of an operation of this phase contrast operation means.

[Translation done.]

KOPIE

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] this invention relates to the frame synchronization equipment for taking the frame synchronization of the packet information to which the synchronous pattern information on a fixed length was given.
[0002]
[Description of the Prior Art] Drawing 11 is drawing which expresses the frame synchronization method in the case of transmitting the frame of a fixed length [like] between equipments with ATM cell's. A sending set and a receiving set operate synchronizing with a common frame synchronization signal. Between a sending set and a receiving set, in order to take frame synchronization, you have to delay the frame synchronization signal inputted into a receiving circuit in consideration of the transit delay from a sending set to a receiving set.
[0003] Moreover, in order to make the same the time delay between each sending set and a receiving set when the signal from two or more sending sets is inputted into a receiving set as shown in drawing, it is necessary to use an adjustable delay circuit.
[0004] In this method, in order to take frame synchronization, the amount of retardation needed to be adjusted, and there was a problem take time. Moreover, in consideration of the delay by the wire length on a substrate is beforehand calculated to another frame synchronization method, and the method which adjusts the wire length of the data signal line between equipments and a synchronizing signal line as shown in drawing 12 is situated in it.
[0005] The phase with the frame synchronization signal inputted into the frame synchronization signal inputted into a sending set 1 and the sending set 2 is made the same, and the frame synchronization signal inputted into a receiving set is made to suit the phase which added the time delay of the data from a sending set to a receiving set.
[0006] Moreover, it is necessary to merit-ize [transmission line / from a sending set 2 to a receiving set / the transmission line from a sending set 1 to a receiving set,]. In this method, there is a trouble where adjustment of a phase is difficult after assembling equipment, and the difficulty of merit-izing, such as a design pattern top, increases in connection with improvement in the speed of transmission speed.
[0007] Moreover, the method shown in drawing 13 is situated in another frame synchronization method. This method is a method to which data and a synchronizing signal are transmitted together. In this method, a sending set transmits a frame synchronization signal together with data. It is necessary to make the same the wire length of data and a frame synchronization signal.
[0008] In a receiving set, the data sent from the sending set are set by the phase of the frame synchronization signal into which it was inputted by the receiving set, and frame synchronization of data is performed. In this synchronous system, since a frame synchronization signal is transmitted together with data, there is a problem that the number of wirings increases. Moreover, there is also a problem that it must merit-ize [wire length / of data and a frame synchronization signal].
[0009]
[Problem(s) to be Solved by the Invention] The conventional frame synchronization method had to be merit-ized [wire length], or had to adjust the phase of data, and had the trouble of the correspondence to improvement in the speed of transmission speed having become difficult, or taking the time of adjustment.
[0010] this invention was made in view of the conventional technical probrem, and aims at offering the frame synchronization equipment into which it can correspond to improvement in the speed of transmission speed, and the time of adjustment of a wiring does not go.
[0011]
[Means for Solving the Problem] In order to attain the above-mentioned purpose, it sets to this invention. A storage means to memorize the information data with which the frame synchronization pattern to which the inside of a transmission line has been transmitted is added, A frame synchronization pattern detection means to detect this frame synchronization pattern from the information data memorized by this storage means, It is characterized by having a phase contrast operation means to search for the phase contrast of the frame synchronization signal and synchronous pattern to which the inside of a transmission line has been transmitted, and a selection means to choose information

data from a storage means based on the result of an operation of this phase contrast operation means.
[0012]
[Function] If this invention is used, a frame synchronization pattern detection means will detect a frame synchronization pattern from the information data memorized by the storage means, and it will be enabled to perform frame synchronization, without performing merit-izing, such as a wiring, and adjustment of a data phase by searching for the phase contrast with the frame synchronization signal transmitted in the inside of a transmission line.
[0013]
[Example] Hereafter, one example of this invention is explained using a drawing.
(Example 1) View 1 is drawing showing one example of this invention. This frame synchronization circuit consists o the shift register, a synchronous pattern detector (DET) 1, a phase contrast calculation circuit (CAL) 2 that calculates the phase contrast of a synchronizing signal and the synchronizing signal detected by the synchronous pattern detecto (DET) 1, and a selection circuitry (SEL) 3 which chooses the head of a frame from the data in a shift register by the calculation result of the phase contrast calculation circuit (CAL) 2.
[0014] The data inputted into equipment are inputted into a shift register. It detects whether the synchronous pattern detector (DET) 1 has the same data stream as a synchronous pattern in the data memorized in the shift register 4. When the same data stream as a synchronous pattern is in a shift register 4, it notifies that the synchronous pattern wa detected to the phase contrast calculation circuit (CAL) 2.
[0015] In the phase contrast calculation circuit (CAL) 2, the phase contrast of the frame synchronization signal inputted apart from data and the frame obtained from the synchronous pattern detector (DET) 1 is calculated.
[0016] It notifies which data are chosen from the calculated phase contrast to a selection circuitry (SEL) 3. An operation of this equipment is explained using drawing 2 .
[0017] This drawing is a timing chart at the time of using 4 bits for a synchronous pattern. A period should just use what is 4 for a synchronous pattern. For example, that from which 1 bit of a head and the remaining bit are different a shown in "1000", the thing from which data change in right in the middle as shown in "1100" can be used.
[0018] When a n-bit synchronous pattern is used, a period uses the pattern which is n. The synchronizing signal with which SYNC is inputted into equipment, and Din (0) A data input when the phase of a synchronizing signal and data is in agreement, and Din (-1) A data input when the phase of data is quicker than the phase of a synchronizing signal bit, and Din (+1) A data input when the phase of data is later than the phase of a synchronizing signal 1 bit, and Din (+2) For a data input when the phase of data is later than the phase of a synchronizing signal 2 bits, and DT, the outpu signal of the synchronous pattern detector (DET) 1 and 5 are the output signal of the phase contrast calculation circuit (CAL) 2, and Dout. It is data output
[0019] When there is no phase contrast of data and a synchronizing signal first, the case where it is Din (0) is explained. Din (0) is the case where the phase of a synchronizing signal and data is in agreement, and the output of th synchronous pattern detector (DET) 1 becomes like DT (0) at this time. The phase contrast calculation circuit (CAL) measures time after a synchronizing signal starts until the detecting signal of the synchronous pattern detector (DET) arrives. In this case, it is 5. Designation is taken out to a selection circuitry (SEL) 3 so that the output of the register with which the head of data is memorized based on the measured result may be chosen. In this case, the output of D8 is chosen. The signal which directs selection is held until the head of the following frame comes.
[0020] Next, when the phase of data is later than the phase of a synchronizing signal 1 bit, the case of Din (-1) is explained. Din (-1) is in the case that the phase of data is quicker than the phase of a synchronizing signal 1 bit, and the output of the synchronous pattern detector (DET) 1 becomes like DT (-1) at this time. The phase contrast calculation circuit (CAL) 2 measures time after a synchronizing signal starts until the detecting signal of the synchronous pattern detector (DET) 1 arrives. In this case, it is 4. Designation is taken out to a selection circuitry (SEL) 3 so that the output of the register with which the head of data is memorized based on the measured result may be chosen. In this case, the output of D9 is chosen. The signal which directs selection is held until the head of the following frame comes.
[0021] Similarly, in Din (+1), the output of D7 is chosen, and when it is Din (+2), the output of D6 is chosen. The example of the phase contrast calculation circuit (CAL) 2 is shown in drawing 3 . This phase contrast calculation circuit (CAL) 2 consists of a detector 5, and a counter 6 and two registers 8 and 9 in the standup of a synchronizing signal.
[0022] The circuit (EDGE) 5 which detects the standup of a synchronizing signal detects the standup of a synchronizing signal, and generates a pulse. A counter 6 is reset by the pulse signal which the standup detector 5 generates. A register (REG1) 8 loads the value of a counter 6 by the synchronous pattern detecting signal. This value becomes the phase contrast of data and a synchronizing signal. A register (REG2) 9 loads the value of a register (REG1) 8 by that to which the encoder 7 encoded the value which a counter 6 generates. That to which the encoder 1 encoded the value of this register (REG2) 9 is sent to a selection circuitry (SEL) 3. You may make reverse arrangement of a register (REG2) 9 and the encoder 10.
[0023] As mentioned above, if the phase simulation circuit of this invention is used and a n-bit synchronous pattern

KOPIE

will be given, it will be enabled to correct the phase gap to n bits automatically. Therefore, it is not necessary to form the length of a wiring into grade length correctly or, and becomes unnecessary to adjust phase contrast.
(Example 2) The configuration of the second example is shown in view 4 .
[0024] This example consists of a shift register 17, two or more synchronous pattern detectors (DET) 11, 12, 13, and 14, a phase contrast calculation circuit (CAL) 15, and a selection circuitry (SEL) 16.
[0025] This drawing is drawing showing the configuration at the time of using 4 bits to a synchronous pattern. Moreover, the synchronous circuit of this example can adjust phase contrast when 0-3 bits of data are behind the synchronizing signal.
[0026] The synchronous circuit of this example consists of the shift register of 8 bits, four synchronous pattern detectors (DET) 11, 12, 13, and 14, a phase contrast calculation circuit (CAL) 15, and a selection circuitry (SEL) 16.
[0027] The configuration of the phase contrast calculation circuit (CAL) 15 of this equipment is shown in drawing 6 . This phase contrast calculation circuit (CAL) 15 consists of a standup detector (DET) 18 of a synchronizing signal, a counter 19 reset in the standup of a synchronizing signal, and a register which memorizes the output of a synchronous pattern detector (DET).
[0028] The standup detector (DET) 18 detects the standup of a synchronizing signal, and generates a pulse. A counter is reset by the pulse generated by the standup signal. That is, it is reset in the standup of a synchronizing signal. A register memorizes the value of a synchronous pattern detector (DET) with the loading signal generated by the counter. The value memorized by the register shows the topology of data. The indication signal of a selection circuitry (SEL) is generable by encoding the value of a register. Reverse is sufficient as the arrangement sequence of an encoder and a register.
[0029] The operation at this time is explained using the timing chart of drawing 5 . This timing chart shows the operation when the phase contrast of data and a synchronizing signal is in agreement.
[0030] The output of the phase contrast detector (DET) in this case serves as DT 1= 0, DT 2= 0, DT 3= 0, and DT 4= 1. Therefore, when there is no phase contrast of a synchronizing signal and data, the value of the register of a phase contrast calculation circuit (CAL) is set to "0001." In this case, the designation which chooses the signal of D8 is sent to a selection circuitry (SEL).
[0031] When data have sent 1 bit from the synchronizing signal, the value of the register of a phase contrast calculation circuit (CAL) is set to "0010." In this case, the designation which chooses the signal of D7 is sent to a selection circuitry (SEL).
[0032] When 2 bits of data are behind the synchronizing signal, the value of the register of a phase contrast calculation circuit (CAL) is set to "0100." In this case, the designation which chooses the signal of D6 is sent to a selection circuitry (SEL).
[0033] When 3 bits of data are behind the synchronizing signal, the value of the register of a phase contrast calculation circuit (CAL) is set to "1000." In this case, the designation which chooses the signal of D5 is sent to a selection circuitry (SEL).
[0034] Moreover, the configuration of a serial input parallel output which is shown in drawing 7 is also realizable. The synchronous circuit of this example consists of the shift register of 8 bits, four synchronous pattern detectors (DET), a phase contrast calculation circuit (CAL), and four selection circuitries (SEL). In this case, it is possible to share the shift register for synchronizing with a serial parallel converter. When the information developed parallel is required, compared with the case where a serial parallel converter is given to a synchronous circuit, a hardware scale can be made small by using such a configuration.
[0035] As mentioned above, if a n-bit synchronous pattern is given, it will be enabled to correct the phase gap to n bits automatically. Therefore, the need of forming the length of a wiring into grade length correctly, or adjusting phase contrast becomes unnecessary.
(Example 3) The configuration of the third example is shown in view 8 . In this drawing, the degree of parallel is set to 4 for the explanation. This example consists of a serial-parallel converter (SP), two or more shift registers (SR), a synchronous pattern detector (DET), a selection circuitry (SEL), and a phase contrast calculation circuit (CAL).
[0036] Drawing 10 is drawing showing the detailed configuration of the third example. The data inputted into this equipment are changed into a parallel data in a serial parallel transducer (SP). It is changed into a 4-bit parallel data in the example of drawing.
[0037] The data changed parallel are inputted into a shift register (SR), respectively. A shift register is prepared the same number of pieces as the degree of parallel. Four shift registers are prepared in this example.
[0038] Thus, in the data by which parallel expansion was carried out, if parallel expansion is carried out before taking frame synchronization, as shown in drawing 9 , top data will become [into which shift register it is inputted, and] unfixed.
[0039] In order to detect the synchronous pattern over two or more shift registers, it is necessary to use a synchronous pattern detector which is shown in drawing 10 . This synchronous pattern detector detects a synchronous pattern ranging over two or more shift registers. DET1 detects the synchronous pattern at the time of being inputted in the

order of SR1, SR2, SR3, and SR4. namely, DET2 The synchronous pattern at the time of being inputted in the order of SR2, SR3, SR4, and SR1 is detected. DET3 The synchronous pattern at the time of being inputted in the order of SR3, SR4, SR1, and SR2 is detected, and DET4 detects the synchronous pattern at the time of being inputted in the order of SR4, SR1, SR2, and SR3. In this example, it is a detector in case a synchronous pattern is "1000."
[0040] The synchronous pattern detected by the detector is sent to a phase contrast calculation circuit. In a phase contrast calculation circuit, with an encoder, coding of the inputted synchronous pattern is carried out, and it is memorized by the register. The timing loaded to a register is generated on the basis of the standup information on a frame synchronization signal. Therefore, the information memorized by the register includes the information on the phase of data, and the phase contrast of a frame synchronization signal.
[0041] The value of this register is sent to a selection circuitry (SEL). A selection circuitry (SEL) as well as a synchronous pattern detector (DET) chooses data ranging over two or more shift registers. Thus, by things, after developing data parallel, it is enabled to take frame synchronization.
[0042]
[Effect of the Invention] If this invention is used as explained in full detail above, a phase contrast operation means will be based on the ability of phase contrast to be searched for using the frame synchronization pattern and frame synchronization signal which were detected by the frame synchronization pattern detection means, and since the selection output is carried out out of the information data with which the selection means is memorized by the storage means, it will be enabled to perform frame synchronization without needing adjustment of the amount of retardation etc. by small-scale hardware.

[Translation done.]

KOPIE